

REMARKS

The present Amendment amends claims 1-11. Therefore, the present application has pending claims 1-11.

Applicants note that the Examiner did not consider the Information Disclosure Statement filed on April 6, 2001 along with the present application. A copy of said Information Disclosure Statement is attached herewith. The Examiner is respectfully requested to indicate that such Information Disclosure Statement has been considered.

Claim 6 stands objected to due to informalities noted by the Examiner in paragraph 2 of the Office Action. Amendments were made to claim 6 to correct the informalities noted by the Examiner. Therefore, this objection is overcome and should be withdrawn.

Claims 1, 6, 7, 10 and 11 stand rejected under 35 USC §102(e) as being anticipated by Olarig (U.S. Patent No. 6,484,232) and claims 2, 8 and 9 stand rejected under 35 USC §103(a) as being unpatentable over Olarig. Applicants submit that Olarig is not appropriate reference to be used for anticipatory or obviousness type purposes to reject the claims of the present application being that the present application claims a priority date of April 6, 2000 which is prior to the effective date of November 30, 2000 of Olarig. Therefore, the above noted rejections under 35 USC §102(e) and 35 USC §103(a) are rendered moot. Accordingly, reconsideration and withdrawal of these rejections is respectfully requested.

In order to perfect Applicants claim of priority a certified copy of the Priority Document was filed on April 6, 2000 along with the present application. An acknowledgement of this claim for priority was set forth by the Examiner in the Office Action.

To further perfect Applicants claim of priority filed on even date herewith is a Sworn English Translation of the Priority Document. As can be seen from the Sworn English Translation of the Priority Document, the claims of the present application are fully supported therein. Thus, since Olarig is not an appropriate reference to be used for anticipatory or obviousness type purposes to reject the claims of the present application, the above noted rejections fail. However, even if Olarig could be used to reject the claims of the present application, it is submitted that the features of the present invention as recited in claims 1-11 are not taught or suggested by Olarig whether taken individually or in combination with any of the other references of record.

Being that the only rejections of claims 1, 2 and 6-11 is as noted above based on the Olarig reference, and these rejections fail as noted above, Applicants submit that claims 1, 2 and 6-11 are allowable over the prior art of record. Further, Applicants note the Examiner's indication in paragraph 7 of the Office Action that claims 3-5 contain allowable subject matter.

In view of the foregoing amendments and remarks, Applicants submit that claims 1-11 are in condition for allowance. Accordingly, early allowance of claims 1-11 is respectfully requested.

To the extent necessary, the applicants petition for an extension of time under 37 CFR 1.136. Please charge any shortage in fees due in connection with the filing of this paper, including extension of time fees, or credit any overpayment of fees, to the deposit account of Antonelli, Terry, Stout & Kraus, LLP, Deposit Account No. 01-2135 (500.39978X00).

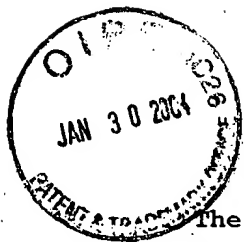
Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Carl I. Brundidge
Registration No. 29,621

CIB/jdc
(703) 312-6600



E5804-01

INFORMATION UNDER 37 CFR 1.56(a)

(For Initial Filing)

The following references are submitted as information
to comply with the duty of disclosure under 37 CFR 1.56(a):

References	Disclosed in the specification?		Copy			Translation	
	Yes	No	Enc.	Follow	Please obtain	Enc.	Not avail- able
1. JP-A-2-234243	<input type="radio"/>		<input type="radio"/>			<input type="radio"/> (only abstract)	
2.							
3.							
4.							
5.							

Concise explanation (relevant portions)

(54) MAIN STORAGE

(11) 2-234243 (A) (43) 17.9.1990 (19) JP

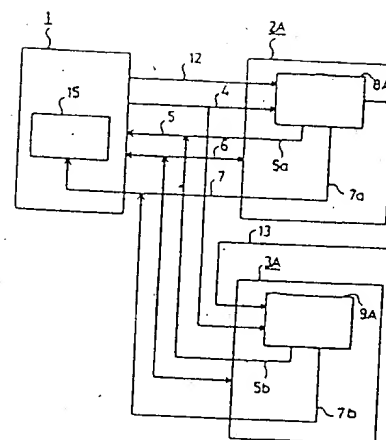
(21) Appl. No. 64-53880 (22) 8.3.1989

(71) MITSUBISHI ELECTRIC CORP (72) TATSUO TAKASUKA

(51) Int. Cl.² G06F12/06

PURPOSE: To attain the accesses to the main storages with no deterioration of performance by adding a memory access timing switch means between a main storage controller and both the 1st and 2nd main storages to perform the automatic switch of the memory access timing of the main storages.

CONSTITUTION: A storage system consists of a main storage controller 1, a 1st main storage 2A containing a dynamic RAM of a fast access time, and a 2nd main storage 3A containing a dynamic RAM of a slow access time. Then a memory access timing switch means is added between the controller 1 and both storages 2A and 3A in order to automatically switch the memory access timing of the controller 1. Thus the memory accesses are attained with no deterioration of performance even if both main storages having the fast and slow access times respectively are used at one time.



8A: the 1st board selection circuit, 9A: the 2nd board selection circuit, 13: storage capacity line, 15: timing controller

⑫ 公開特許公報(A) 平2-234243

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月17日

G 06 F 12/06

W

8841-5B

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 主記憶装置

⑯ 特 願 平1-53880

⑰ 出 願 平1(1989)3月8日

⑱ 発 明 者 高 須 賀 立 夫 神奈川県鎌倉市上町屋325番地 三菱電機株式会社コンピ
ュータ製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 曾我 道照 外4名

明 細 書

1. 発明の名称

主記憶装置

2. 特許請求の範囲

アクセスタイムの遅いRAMを搭載した第1の主記憶装置と、アクセスタイムの遅いRAMを搭載した第2の主記憶装置と、前記第1および第2の主記憶装置を制御する主記憶制御装置とを有する記憶システムにおいて、前記主記憶制御装置のメモリアクセス・タイミングを自動的に切り替えるように前記主記憶制御装置と前記第1および第2の主記憶装置間にメモリアクセス・タイミングの切り替えを行う手段を設けたことを特徴とする主記憶装置。

3. 発明の詳細な説明

〔発明上の利用分野〕

この発明は、情報の書き込みまたは読み出しの際にアクセスタイムの遅いダイナミックRAMを搭載した主記憶装置をアクセスしているか、またはアクセスタイムの遅いダイナミックRAMを

搭載した主記憶装置をアクセスしているかを識別できるようにした主記憶装置に関するものである。

〔従来の技術〕

第4図は、従来の主記憶制御装置および主記憶装置の構成を示すブロック図である。図において、(1)は主記憶制御装置、(2)はアクセスタイムの遅いダイナミックRAMを搭載した第1の主記憶装置、(3)はアクセスタイムの遅いダイナミックRAMを搭載した第2の主記憶装置、(4)は主記憶制御装置(1)から第1および第2の主記憶装置(2)、(3)へアドレスを送出するためのアドレス線、(5a)は第1の主記憶装置(2)の第1のアドレスヒット信号、(5b)は第2の主記憶装置(3)の第2のアドレスヒット信号、(6)はデータ線、(7a)は第1のモード信号であって、アクセスタイムの遅いダイナミックRAMを搭載した第1の主記憶装置であることを示し、ここではハイレベルである、(7b)は第2のモード信号であって、アクセスタイムの遅いダイナミックRAMを搭載した第2の主記憶装置であることを示し、こ

こではローレベルである。(7)は第1および第2のモード信号(7a)、(7b)をワイアード・オアしたモード信号で、ここではローレベルである。(8)は第1の主記憶装置(2)の第1のボードセレクト回路、(9)は第2の主記憶装置(3)の第2のボードセレクト回路、(12)は第1の記憶容量線で、主記憶制御装置(1)からボードセレクト回路(8)に記憶容量情報を送出する。(13)は第2の記憶容量線で、後述の第1の記憶容量生成回路(10a)の中でボード記憶容量と第1の記憶容量線(12)の記憶容量情報を加算する。(15)は主記憶制御装置(1)内にあるタイミング制御装置である。

第5図は従来の主記憶装置のボードセレクト回路の構成を示す概略ブロック図である。図において、(10a)は第1の主記憶装置(2)の第1の記憶容量生成回路、(10b)は第2の主記憶装置(3)の第2の記憶容量生成回路、(11a)は第1のボードセレクト回路(8)内にある第1のアドレス比較回路で、アドレス線(4)のアドレスと第1

の記憶容量生成回路(10a)の出力とを比較し、一致する場合は第1のアドレスヒット信号(5a)を出力する。(11b)は第2のボードセレクト回路(9)内にある第2のアドレス比較回路で、アドレス線(4)のアドレスと第2の記憶容量生成回路(10b)の出力とを比較し、一致する場合は第2のアドレスヒット信号(5b)を出力する。(14)は第3の記憶容量線で、第2の記憶容量生成回路(10b)の中でボード記憶容量と第2の記憶容量線(13)の記憶容量情報を加算する。なお、アドレス線(4)の情報をA、第1の記憶容量線(12)の情報をB、第1の主記憶装置(2)の記憶容量をCとすると、 $B \leq A < (B + C)$ のとき第1のアドレスヒット信号(5a)が有効となる。

第6図は従来のメモリアクセスの関係を説明するためのタイムチャートを示す図である。図において、(A)、(B)、(C)、(D)、(E)、(F)、(G)はタイミング制御回路(15)で生成される各ステータを示す。

従来の主記憶装置は上記のように構成され、

まず、第1および第2の主記憶装置(2)、(3)が実装されている場合、モード信号(7)はローレベルとなるため、主記憶制御装置(1)はアクセスタイムの遅いダイナミックRAMを搭載した第2の主記憶装置(3)が実装されていると識別する。すなわち、第2の主記憶装置(3)から情報を読み出す際は、主記憶制御装置(1)がアドレス情報と記憶容量情報を各々アドレス線(4)と第1の記憶容量線(12)に送出する。この第1の記憶容量線(12)の記憶情報は第1の主記憶装置(2)の第1のボードセレクト回路(8)に入力され、この回路(8)で第1の主記憶装置(2)の記憶容量と第1の記憶容量線(12)の記憶容量情報とを加算し、第2の記憶装置(3)へ第2の記憶容量線(13)を介して送出する。第2の記憶装置(3)の第2のボードセレクト回路(9)ではアドレス線(4)のアドレス情報が、第2の記憶容量線(13)の記憶容量情報と第2の主記憶装置(3)と第2の主記憶装置(3)の記憶容量と第2の記憶容量線(13)を加算した第3の記憶容量線(14)の記憶容量情報の範囲内にあ

る時、第2のアドレスヒット信号(5b)を第2のアドレス比較回路(11b)より出力する。

主記憶制御装置(1)はアドレス情報出力と同時に第6図(a)のステータ(A)を開始し、ステータ(B)へ進む。アドレスヒット信号(5)が有効であるためステータは、次の(C)、(D)、(E)、(F)、(G)へと進む。第2の主記憶装置(3)が、アドレス情報を受信してから読み出しデータをデータ線(6)へ出力し始めるのは、ステータ(E)の頃になる。次に、第1の主記憶装置(2)から情報を読み出す際は、主記憶制御装置(1)がアドレス情報と記憶容量情報を各々アドレス線(4)と第1の記憶容量線(12)に送出する。第1の主記憶装置(2)の第1のボードセレクト回路(8)ではアドレス線(4)のアドレス情報が第1の記憶容量線(12)の記憶容量情報と第2の記憶容量線(13)の記憶容量情報の範囲内にある時、第1のアドレスヒット信号(5a)を第1のアドレス比較回路(11a)より出力する。

主記憶制御装置(1)は、アドレス情報と同時に

に第6図(a)のステート(A)が、開始しステート(B)へ進む。アドレスヒット信号(5a)が有効であるためステートは、次の(C)、(D)、(E)、(F)、(G)へと進む。よって、第1の主記憶装置(2)がアドレス情報を受信してから読み出しデータをデータ値(6)へ出力し始めるのはステート(C)の頭になる。

第1の主記憶装置(2)だけが実装されている場合、第1のモード信号(7a)がそのまま全体のモード信号(7)となり、ハイレベルとなるため主記憶制御装置(1)はアクセスタイムの遅いダイナミックRAMを格蔵した第1の主記憶装置(2)が実装されていると識別する。すなわち、主記憶制御装置(1)がアドレス情報をアドレス値(4)に送出し、そのアドレス情報と第1の主記憶装置(2)の第1のボードセレクト回路(8)内の第1の記憶容量生成回路(10a)とを第1のアドレス比較回路(11a)で比較し、第1の主記憶装置(2)の記憶容量範囲内にあれば第1のアドレスヒット信号(5a)を第1のアドレス比較回路(11a)より出

力する。主記憶制御装置(1)はアドレス情報出力と同時に第6図(b)のステート(A)を開始し、ステート(B)へ進む。アドレスヒット信号(5)が有効であるため次へ進むが、モード信号(7)がハイレベルのためステート(C)、(D)をスキップし、ステート(E)、(F)、(G)へと進む。よって、第1の主記憶装置(2)がアドレス情報を受信してから読み出しデータをデータ値(6)へ出力し始めるのはステート(E)の頭になる。

〔発明が解決しようとする課題〕

上記のような従来の主記憶装置では、第1および第2のモード信号(7a)、(7b)がメモリアクセスとは無関係にレベル信号として出力されており、かつワイアードオアされているためアクセスタイムの遅いダイナミックRAMを格蔵した第2の主記憶装置(3)をアクセスするように主記憶制御装置(1)のメモリアクセス・タイミングが制御され、アクセスタイムの遅いダイナミックRAMを格蔵した第1の主記憶装置(2)をアクセスしてもアクセスタイムの遅いダイナミックRAMを

格蔵した第2の主記憶装置(3)をアクセスすると同じアクセス時間を変更するという問題点があった。

この発明は、かかる問題点を解決するためになされたもので、アクセスタイムの遅いダイナミックRAMを格蔵した第1の主記憶装置とアクセスタイムの遅いダイナミックRAMを格蔵した第2の主記憶装置とが同時に実装されたときでもアクセスタイムの遅いダイナミックRAMを格蔵した第1の主記憶装置をアクセスするときは主記憶制御装置のメモリアクセス・タイミング制御を遅い方に切り替えられるようにした主記憶装置を得ることを目的とする。

〔問題を解決するための手段〕

この発明に係る主記憶装置は、アクセスタイムの遅いRAMを格蔵した第1の主記憶装置と、アクセスタイムの遅いRAMを格蔵した第2の主記憶装置と、前記第1および第2の主記憶装置を制御する主記憶制御装置とを有する記憶システムにおいて、前記主記憶制御装置のメモリアクセス・タイミングを自動的に切り替えるように前記主記

憶制御装置と前記第1および第2の主記憶装置間にメモリアクセス・タイミングの切り替えを行う手段を設けたものである。

〔作用〕

この発明においては、主記憶装置よりモード信号をアドレスヒット信号に同期して出力し、主記憶制御装置のメモリアクセス・タイミングの切り替えを行う。

〔実施例〕

第1図はこの発明の一実施例による主記憶システムを示す回路ブロック図である。図において、第4図と同一符号のものは第4図の構成要素と同一である。(8A)は第1の主記憶装置(2A)の第1のボードセレクト回路、(9A)は第2の主記憶装置(3A)の第2のボードセレクト回路である。

第2図は第1図の主記憶装置のボードセレクト回路の構成を示す回路ブロック図である。図において、第5図と同一符号のものは第5図の構成要素と同一である。(15a)は第1のAND回路で、第1のアドレスヒット信号(5a)とハイレベ

ル信号(16)とのアンドをとり第1のモード信号(7a)を出力する。(15b)は第2のアンド回路で、第2のアドレスヒット信号(5b)とローレベル信号(17)とのアンドをとり第2のモード信号(7b)を出力する。

第3図はこの発明における主記憶制御装置と主記憶装置間のメモリアクセスの関係を説明するためのタイムチャートを示す図である。

上記のように構成された主記憶装置において、まず、第1図に示すように第1の主記憶装置(2A)と第2の主記憶装置(3A)が実装されている場合、第2の主記憶装置(3A)から情報を読み出す際は、主記憶制御装置(1)がアドレス情報をアドレス線(4)に送出し、そのアドレス情報が第2の記憶容量線(13)の記憶容量情報と第3の記憶容量線(14)の記憶容量情報との範囲内にあれば、第2のアドレスヒット信号(5b)を第2のアドレス比較回路(11b)より出力する。

この時同時に第2のアドレスヒット信号(5b)とローレベル信号(17)との論理積を第2の

アドレス比較回路(11a)より出力する。

このとき同時に、第2のアドレスヒット信号(5b)とローレベル信号(17)との論理積を第2のアンド回路(15b)でとりその出力を第2のモード信号(7b)としてローレベルの信号を出力する。すなわち、モード信号(7)はローレベルとなるため主記憶制御装置(1)はアクセスタイムの遅いRAMを搭載した第2の主記憶装置(3A)が実装されていると識別する。よって、主記憶制御装置(1)はアドレス情報出力と同時にステート(A)を開始し、ステート(B)へ進む。アドレスヒット信号(5)が有効であるためステートは次の(C)、(D)、(E)、(F)、(G)へ進む。第2の主記憶装置(3A)がアドレス情報を受信してから読み出しデータを出力し始めるのはステート(E)の頭になる。

次に、第1の主記憶装置(2A)から情報を読み出す際は、アドレス情報をアドレス線(4)に送出し、そのアドレス情報が第1の記憶容量線(12)の記憶容量情報と第2の記憶容量線(13)の記憶容量情報との範囲内にあれば、第1のアドレスヒッ

ト信号(5a)を第1のアドレス比較回路(11a)より出力する。このとき同時に、第1のアドレスヒット信号(5a)とハイレベル信号(16)との論理積を第1のアンド回路(15a)でとり、その出力を第1のモード信号(7a)としてハイレベルの信号を出力する。すなわち、モード信号(7)はハイレベルとなるため主記憶制御装置(1)は、アクセスタイムの遅いダイナミックRAMを搭載した第1の主記憶装置(2A)が実装されていると識別する。よって、主記憶制御装置(1)はアドレス情報出力と同時にステート(A)を開始し、ステート(B)へ進む。アドレスヒット信号(5)が有効であるためステートは次の(C)、(D)、(E)、(F)、(G)へと進む。第2の主記憶装置(3A)がアドレス情報を受信してから読み出しデータを出力し始めるのはステート(E)の頭になる。次に、第1の主記憶装置(2A)から情報を読み出す際は、アドレス情報をアドレス線(4)に送出し、そのアドレス情報と第1の主記憶装置(2A)の第1のボードセレクト回路(10a)とを第1のアドレス比較回路(11a)で比較し、第1の主記憶装置(2A)の記憶容量範囲内にあれば第1のアドレスヒット信号(5a)を第1のアドレス比

較回路(11a)より出力する。

このとき同時に、第1のアドレスヒット信号(5a)とハイレベル信号(16)との論理積を第1のアンド回路(15a)でとり、その出力を第1のモード信号(7a)としてハイレベルの信号を出力する。すなわち、モード信号(7)はハイレベルとなるため主記憶制御装置(1)は、アクセスタイムの遅いダイナミックRAMを搭載した第1の主記憶装置(2A)が実装されていると識別する。よって、主記憶制御装置(1)はアドレス情報出力と同時にステート(A)を開始し、ステート(B)へ進む。アドレスヒット信号(5)が有効であるため次に進むが、モード信号(7)がハイレベルのためステート(C)、(D)をスキップし、ステート(E)、(F)、(G)へと進む。よって、第1の主記憶装置(2A)がアドレス情報を受信してから読み出しデータをデータ線(6)へ出力し始めるのはステート(E)の頭になる。

〔発明の効果〕

この発明は以上説明したとおり、アクセス
タイムの遅いRAMを搭載した第1の主記憶装置と、
アクセスタイムの遅いRAMを搭載した第2の主
記憶装置と、前記第1および第2の主記憶装置を
制御する主記憶制御装置とを有する記憶システム
において、前記主記憶制御装置のメモリアクセ
スタイミングを自動的に切り替えるように前記主記
憶制御装置と前記第1および第2の主記憶装置間
にメモリアクセス・タイミングの切り替えを行う
手段を設けたので、アクセスタイムの遅いRAM
を搭載した主記憶装置とアクセスタイムの遅いR
AMを搭載した主記憶装置が同時に実装されたと
きでも性能を落とすことなくメモリアクセスがで
きる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例による主記憶制御
装置および主記憶装置の概略構成ブロック図、第
2図は第1図のボードセレクト回路の概略構成ブ
ロック図、第3図はこの発明の動作を説明するた
めのタイムチャート図、第4図は従来の主記憶制

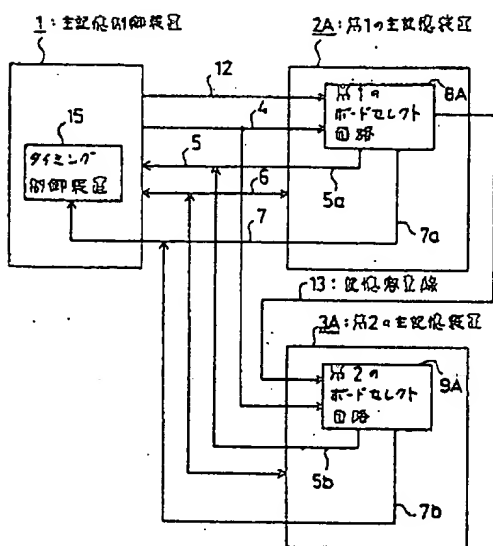
御装置および主記憶装置の概略構成ブロック図、
第5図は従来の主記憶装置のボードセレクト回路
の概略構成図、第6図は従来動作を説明するた
めのタイムチャート図である。

図において、(1)・・・主記憶制御装置、(2A)・・・第1の主記憶装置、(3A)・・・第2の主記憶装置、(7a)・・・第1のモード信号、(7b)・・・第2のモード信号、(8A)・・・第1のボードセレクト回路、(9A)・・・第2のボードセレクト回路、(11a)・・・第1のアドレス比較回路、(11b)・・・第2のアドレス比較回路、(12)・・・第1の記憶容量線、(13)・・・第2の記憶容量線、(14)・・・第3の記憶容量線、(15a)・・・第1のAND回路、(15b)・・・第2のAND回路、(16)・・・ハイレベル信号、(17)・・・ローレベル信号、(15)・・・タイミング制御回路である。

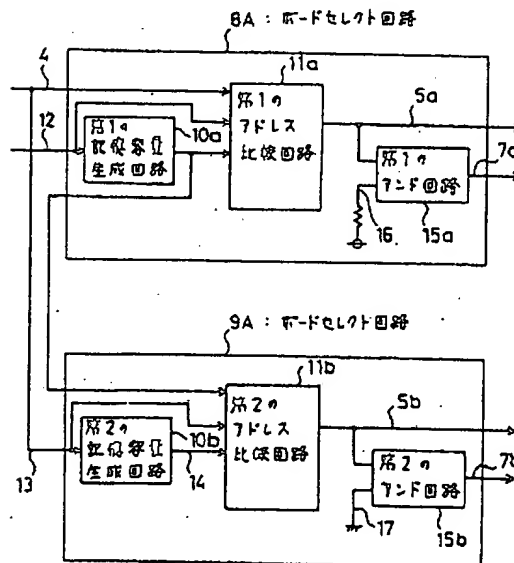
なお、各図中同一符号は同一又は相当部分を示す。

代理人 曾 我 道 照

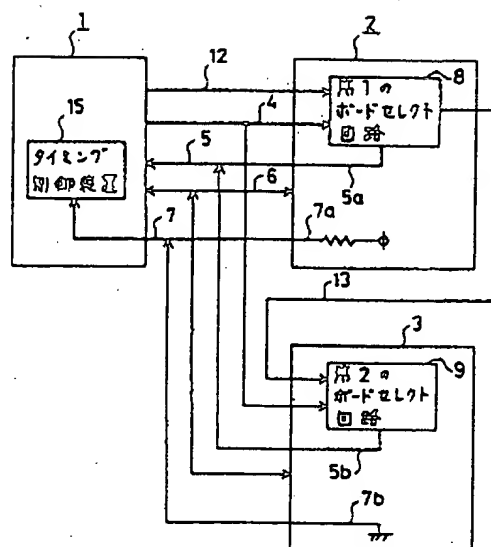
第1図



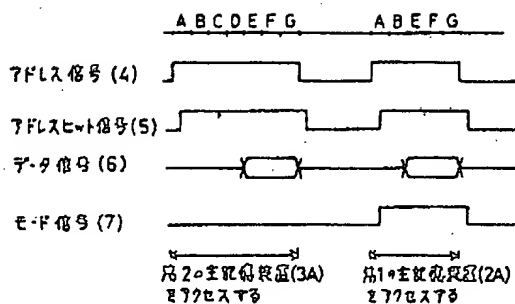
第2図



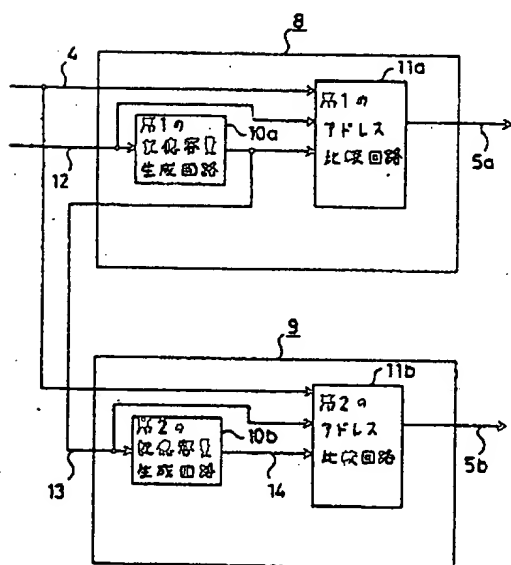
第4図



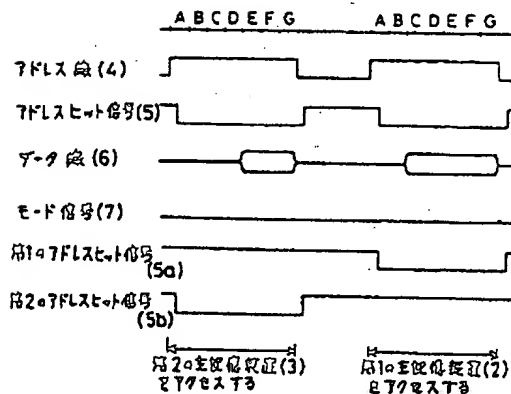
第3図



第5図



第6図(a)



第6図(b)

